



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010017212

(43) Publication Date. 20010305

(21) Application No.1019990032599

(22) Application Date. 19990809

(51) IPC Code:

H01L 27/10

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

KIM, GYEONG MIN

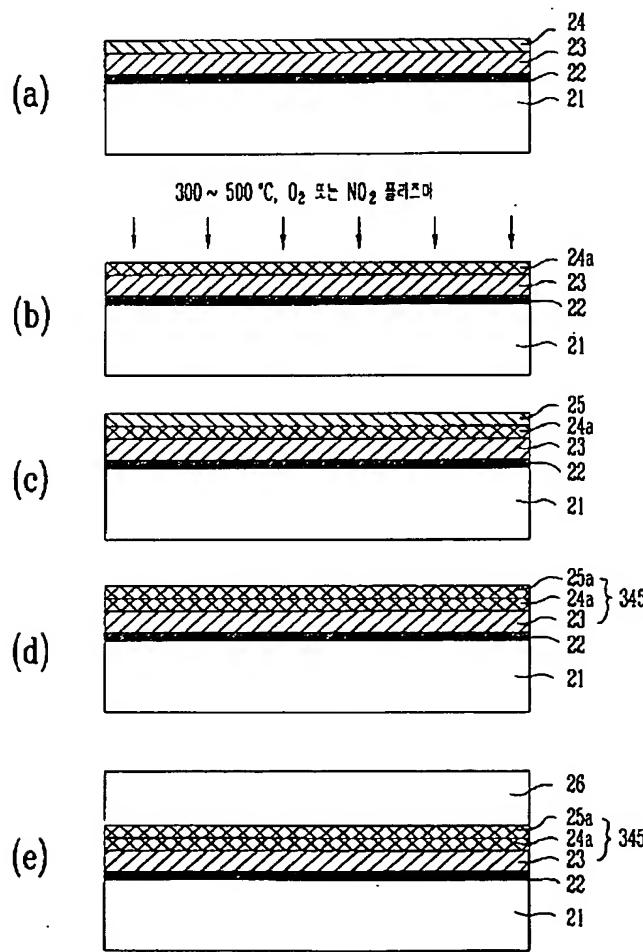
PARK, GI SEON

(30) Priority:

(54) Title of Invention

METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

**PURPOSE:** A method for manufacturing a capacitor of a semiconductor device is provided to guarantee a superior characteristic of a dielectric layer, by forming a TiO<sub>2</sub> layer by two steps of low temperature treatment after a Ta<sub>2</sub>O<sub>5</sub> layer is formed.

**CONSTITUTION:** After a storage electrode(21) is formed on a substrate, chemical vapor of Ta component and a reaction gas are supplied to a reaction furnace to deposit a Ta<sub>2</sub>O<sub>5</sub> layer(23). The Ta<sub>2</sub>O<sub>5</sub> layer is annealed, and the first Ti layer is deposited. The first low temperature plasma treatment is performed regarding the first Ti layer to form the first TiO<sub>2</sub> layer. The second Ti layer is deposited on the first TiO<sub>2</sub> layer(24a). The second

low temperature treatment is performed regarding the second Ti layer to form the second TiO<sub>2</sub> layer(25a), so that a dielectric layer composed of a Ta<sub>2</sub>O<sub>5</sub> layer and a TiO<sub>2</sub> layer is formed. A plate electrode(26) is formed on the dielectric layer.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/10	(11) 공개번호 특2001-0017212 (43) 공개일자 2001년03월05일
(21) 출원번호 10-1999-0032599	
(22) 출원일자 1999년08월09일	
(71) 출원인 현대전자산업 주식회사 박종섭	
	경기 이천시 부발읍 아미리 산136-1
(72) 발명자 김경민	
	경기도안양시만안구안양5동현대아파트 101-1112
	박기선
	경기도이천시창전동성환빌라나동303호
(74) 대리인 신영무, 최승민	

실시청구 : 없음

(54) 반도체 소자의 캐퍼시터 제조 방법

**요약**

본 발명은  $Ta_2O_5$ 막과  $TiO_2$ 막의 이중막 구조를 캐퍼시터의 유전체막으로 적용함에 있어,  $TiO_2$ 막의 증착 공정을 개선하여 우수한 유전체막의 특성을 확보할 수 있는 반도체 소자의 캐퍼시터 제조 방법에 관하여 기술된다. 종래에는  $Ta_2O_5$ 막상에 Ti막을 증착한 후, 500°C 이상의 온도 및  $O_2$  분위기에서 금속 열처리하여  $TiO_2$ 막을 형성하였는데, 고온 금속 열처리 동안  $Ta_2O_5$ 막의  $O_2$ 가 Ti막과 반응하여 결국  $Ta_2O_5$ 막과  $TiO_2$ 막과의 계면에 Ta가 존재하게 되므로 인하여 유전체막의 특성을 저하시키는 문제가 있다. 본 발명은  $Ta_2O_5$ 막 상에 제 1 Ti막을 증착한 후, 500°C 이하의 온도에서  $O_2$ 가스 또는  $N_2O$ 가스에 플라즈마를 여기시켜 제 1 Ti막을 플라즈마 처리하여 제 1  $TiO_2$ 막을 형성하고, 제 1  $TiO_2$ 막상에 제 2 Ti막을 형성한 후, 동일한 플라즈마 처리를 실시하여 제 2  $TiO_2$ 막을 형성하므로,  $Ta_2O_5$ 막의  $O_2$ 가 Ti막과 반응하는 것이 억제되어  $Ta_2O_5$ 막과  $TiO_2$ 막과의 계면에 Ta가 존재하는 것을 방지할 수 있다.

**대표도**

**도2**

**색인어**

캐퍼시터,  $Ta_2O_5/TiO_2$  유전체막, 저온 플라즈마 처리

**영세서**

**도면의 간단한 설명**

도 1a 내지 도 1c는 종래 반도체 소자의 캐퍼시터 제조 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 도 2e는 본 발명의 실시 예에 따른 반도체 소자의 캐퍼시터 제조 방법을 설명하기 위한 소자의 단면도.

**<도면의 주 부분에 대한 부호의 설명>**

- |                           |                           |
|---------------------------|---------------------------|
| 11: 하부 전극                 | 12: $Ta_2O_5$ 막           |
| 13: Ti막                   | 13a: $TiO_2$ 막            |
| 123: $Ta_2O_5/TiO_2$ 유전체막 | 14: 상부 전극                 |
| 21: 하부 전극                 | 22: 질화막                   |
| 23: $Ta_2O_5$ 막           | 24: 제 1 Ti막               |
| 24a: 제 1 $TiO_2$ 막        | 25: 제 2 Ti막               |
| 25a: 제 2 $TiO_2$ 막        | 345: $Ta_2O_5/TiO_2$ 유전체막 |
| 26: 상부 전극                 |                           |

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히  $Ta_2O_5$ 막과  $TiO_2$ 막의 이중막 구조를 캐패시터의 유전체막으로 적용함에 있어,  $TiO_2$ 막의 증착 공정을 개선하여 우수한 유전체막의 특성을 확보할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

일반적으로, 반도체 소자가 고집적화 및 소형화되어 강에 따라 캐패시터가 차지하는 면적 또한 줄어들고 있는 추세이다. 캐패시터의 면적이 줄어들고 있음에도 불구하고 소자의 동작에 필요한 캐패시터의 정전 용량은 확보되어야 한다. 정전 용량을 확보하기 위해 하부 전극을 3차원 구조로 형성하여 유효 표면적을 증대시키고 있으나, 이 방법 역시 한계에 도달하여 더 이상의 고집적 반도체 소자에는 적용할 수 없는 실정이다. 정전 용량을 확보하기 위한 다른 방법은 높은 유전율을 갖는 유전체를 사용하여 캐패시터를 제조하는 것이다.

유전율 상수값이 25 내지 27이면서  $7MV/cm^2$  이상의 높은 절연파괴 전압 특성을 갖는  $Ta_2O_5$ 를 캐패시터의 유전체막으로 사용하고 있으나, 반도체 소자가 고집적화 및 소형화되어 강에 따라  $Ta_2O_5$  유전체막이 갖는 유전율로는 충분한 정전 용량을 확보할 수 없어 반도체 소자의 고집적화 실현에 한계가 있다. 이를 해결하기 위해서는  $Ta_2O_5$ 보다 유전율 상수값이 큰 물질을 사용해야만 한다.  $Ta_2O_5$ 보다 유전율 상수값이 큰 물질로 유전율 상수값이 40 내지 60으로 매우 큰  $TiO_2$ 가 있는데,  $TiO_2$ 는 높은 유전율 상수값을 갖는 장점에도 불구하고, 누설 전류 특성이 매우 열악하여 캐패시터의 유전체막으로 사용하기에는 적합하지 않다. 따라서, 유전율 상수값을  $Ta_2O_5$ 보다 크게하면서  $TiO_2$ 의 누설 전류 특성을 보완할 수 있도록 캐패시터의 유전체막으로  $Ta_2O_5$ 막과  $TiO_2$ 막의 이중막 구조가 개발되고 있다.

$Ta_2O_5$ 막과  $TiO_2$ 막의 이중막 구조를 캐패시터의 유전체막으로 적용하는 종래 캐패시터 제조 방법을 도 1a 내지 도 1c를 참조하여 설명하면 다음과 같다.

도 1a를 참조하면, 하부 전극(11)상에 저압화학기상증착법(LPCVD)으로  $Ta_2O_5$ 막(12)을 형성하고,  $Ta_2O_5$ 막(12)상에 스퍼터(sputter)법으로  $Ti$ 막(13)을 증착한다.

도 1b를 참조하면, 500°C 이상의 온도 및  $O_2$  분위기에서  $Ti$ 막(13)을 급속 열처리하여  $TiO_2$ 막(13a)을 형성하고, 이로 인하여  $Ta_2O_5/TiO_2$  유전체막(123)이 형성된다.

도 1c를 참조하면,  $Ta_2O_5/TiO_2$  유전체막(123)상에 상부 전극(14)을 형성하여 캐패시터 제조를 완료한다.

상기한 종래 방법에서,  $Ti$ 막(13)을 충분히 산화시켜  $TiO_2$ 막(13a)으로 만들기 위한 고온 급속 열처리 동안  $Ta_2O_5$ 막(12)의  $O_2$ 가  $Ti$ 막(13)으로 확산되어  $Ti$ 막(13)의  $Ti$ 와 반응하게 되고, 이로 인하여  $Ta_2O_5$ 막(12)과  $TiO_2$ 막(13a)과의 계면에 환원된 금속계의 Ta가 존재하게 되어 높은 누설 전류의 원인으로 작용한다. 따라서,  $Ta_2O_5/TiO_2$  유전체막(123)의 특성이 저하되는 문제가 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은  $Ta_2O_5$ 막과  $TiO_2$ 막의 이중막 구조를 캐패시터의 유전체막으로 적용함에 있어,  $TiO_2$ 막의 증착 공정을 개선하여 우수한 유전체막의 특성을 확보할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 캐패시터 제조 방법은 기판상에 하부 전극을 형성한 후,  $Ta$ 성분 화학증기와 반응 가스를 반응로에 공급하여  $Ta_2O_5$ 막을 증착하는 단계; 상기  $Ta_2O_5$ 막을 어닐링한 후, 제 1  $Ti$ 막을 증착하는 단계; 상기 제 1  $Ti$ 막을 제 1 저온 플라즈마 처리하여 제 1  $TiO_2$ 막을 형성시키는 단계; 상기 제 1  $TiO_2$ 막상에 제 2  $Ti$ 막을 증착하는 단계; 상기 제 2  $Ti$ 막을 제 2 저온 플라즈마 처리하여 제 2  $TiO_2$ 막을 형성시키고, 이로 인하여  $Ta_2O_5$ 막/ $TiO_2$  유전체막이 형성되는 단계; 및 상기  $Ta_2O_5$ 막/ $TiO_2$  유전체막상에 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

### 발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 2a 내지 도 2e는 본 발명의 실시 예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 2a를 참조하면, 반도체 소자를 형성하기 위한 여러 요소가 형성된 기판이 제공되고, 제공된 기판상에 하부 전극(21)을 형성한다. HF 나 BOE(Buffer Oxide Etchant) 용액을 사용한 세정 공정으로 하부 전극(21)의 표면에 생성된 자연 산화막을 제거한다. 하부 전극(21)의 표면이 산화되는 것을 방지하기 위하여, 1 내지 5s/m의  $NH_3$  가스 분위기에서 800 내지 950°C 온도로 급속 열 질화(RTN: Rapid Thermal Nitridation) 처리하여 표면에 질화막(22)을 형성한다.  $Ta$ 성분 화학증기와 반응 가스인  $O_2$  가스를 반응

로에 공급하여 질화막(22)상에  $Ta_2O_5$ 막(23)을 증착한 후,  $Ta_2O_5$ 막(23) 내에 존재하는 탄소화합물 및 불순물을 제거하기 위해 300 내지 500°C의 온도에서  $N_2O$  플라즈마 어닐링을 실시한다.  $Ta_2O_5$ 막(23)상에 CVD법 또는 스퍼터(Sputter)법으로 제 1 Ti막(24)을 증착한다.

상기에서, 하부 전극(21)은 LP-CVD법, PE-CVD법, RF-마그네틱 스퍼터링법 중 어느 하나의 방법을 이용하여 도프트 폴리실리콘(doped polysilicon), TiN, TiAIN, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub>, Pt 등과 같은 전도성 물질을 사용하여 간단한 스택 구조(simple stacked structure), 원통형 구조(cylinder structure), 이를 이외에도 여러가지 3차원 구조로 형성한다.

Ta성분 화학증기는  $Ta(OC_2H_5)_5$ 나  $Ta(N(CH_3)_2)_5$ 와 같은 금속유기화합물을 용액을 170 내지 190°C 온도 범위로 유지되고 있는 기화기(vaporizer)에서 증발시켜 생성되며, 이렇게 생성된 Ta성분 화학증기를 10 내지 1000sccm의 O<sub>2</sub> 가스와 함께 반응로에 공급하여 LP-CVD법이나 PE-CVD법에 의해  $Ta_2O_5$ 막(23)이 형성된다.  $Ta_2O_5$ 막(23)을 LP-CVD법으로 증착할 경우, 반응로 내의 압력을 0.1 내지 10 torr로 유지시키고, 웨이퍼의 온도를 350 내지 450°C로 유지시킨다.  $Ta_2O_5$ 막(23)을 PE-CVD법으로 증착할 경우, RF 전력을 50 내지 500W로 한다.

도 2b를 참조하면, O<sub>2</sub>가스 또는 N<sub>2</sub>O가스에 플라즈마를 여기시켜 제 1 Ti막(24)을 플라즈마 처리하여 제 1 TiO<sub>2</sub>막(24a)을 형성한다.

상기에서, 플라즈마 처리 공정은 반응로 내의 압력을 0.1 내지 10 Torr로 유지하고, 서브 히터(SUB HEATER)의 온도를 300 내지 500°C로 유지하며, RF 전력을 10 내지 500W로 인가하고, RF 전력 인가시 서브 히터를 그라운드(GROUND)로 하고 샤워 헤드(Shower head)를 전극(Electrode)으로 하며, 이러한 상태의 반응로에 20 내지 1000sccm의 O<sub>2</sub> 가스 또는 N<sub>2</sub>O 가스를 공급하여 10sec 내지 1min 동안 실시한다.

도 2c를 참조하면, 제 1 TiO<sub>2</sub>막(24a)상에 제 1 Ti막(24) 형성 공정과 동일한 공정으로 제 2 Ti막(25)을 형성한다.

도 2d를 참조하면, 제 1 Ti막(24)을 제 1 TiO<sub>2</sub>막(24a)으로 만드는 플라즈마 처리 공정과 동일한 공정으로 제 2 Ti막(25)을 플라즈마 처리하여 제 2 TiO<sub>2</sub>막(25a)을 형성하고, 이로 인하여 이중 구조의  $Ta_2O_5/TiO_2$  유전체막(345)이 형성된다.

상기에서, 제 1 TiO<sub>2</sub>막(24a) 및 제 2 TiO<sub>2</sub>막(25a)은 인-시튜(In-situ)공정으로 형성할 수 있다.

도 2e를 참조하면,  $Ta_2O_5/TiO_2$  유전체막(345)상에 상부 전극(26)을 형성하여 본 발명의 캐퍼시터가 완성된다.

상기에서, 상부 전극(26)은 LP-CVD법, PE-CVD법, RF-마그네틱 스퍼터링법 중 어느 하나의 방법을 이용하여 도프트 폴리실리콘(doped polysilicon), TiN, TiAIN, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub>, Pt 등과 같은 전도성 물질을 사용하여 형성된다.

상기한 본 발명의 실시 예에 따른  $Ta_2O_5/TiO_2$  유전체막(345)은  $Ta_2O_5$ 막(23)상에 제 1 Ti막(24)을 증착한 후, 500°C이하의 온도에서 O<sub>2</sub>가스 또는 N<sub>2</sub>O가스에 플라즈마를 여기시켜 제 1 Ti막(24)을 플라즈마 처리하여 제 1 TiO<sub>2</sub>막(24a)을 형성하고, 제 1 TiO<sub>2</sub>막(24a)상에 제 2 Ti막(25)을 형성한 후, 동일한 플라즈마 처리를 실시하여 제 2 TiO<sub>2</sub>막(25a)을 형성하여 완성된다. 이와 같이  $Ta_2O_5$ 막상에 TiO<sub>2</sub>막을 형성하기 위한 종래 고온 금속 열처리 방법과는 달리 본 발명은 저온 플라즈마 처리 방법을 적어도 2단계로 나누어 실시함으로  $Ta_2O_5$ 막의 O<sub>2</sub>가 Ti막과 반응하는 것이 억제되어  $Ta_2O_5$ 막과 TiO<sub>2</sub>막과의 계면에 Ta가 존재하는 것을 방지할 수 있는 기술이다.

#### 발명의 효과

상술한 바와 같이, 본 발명은  $Ta_2O_5$ 막을 형성한 후에 적어도 2단계의 저온 플라즈마 처리 방법으로 TiO<sub>2</sub>막을 형성하므로,  $Ta_2O_5$ 막과 TiO<sub>2</sub>막과의 계면에 환원된 금속계의 Ta가 존재하지 않는  $Ta_2O_5/TiO_2$ 유전체막을 얻을 수 있어, 소자의 집적화에 따른 캐퍼시터의 정전용량과 낮은 누설 전류를 동시에 확보할 수 있는 탁월한 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1

기판상에 하부 전극을 형성한 후, Ta성분 화학증기와 반응 가스를 반응로에 공급하여  $Ta_2O_5$ 막을 증착하는 단계:

상기  $Ta_2O_5$ 막을 어닐링한 후, 제 1 Ti막을 증착하는 단계:

상기 제 1 Ti막을 제 1 저온 플라즈마 처리하여 제 1 TiO<sub>2</sub>막을 형성시키는 단계:

상기 제 1 TiO<sub>2</sub>막상에 제 2 Ti막을 증착하는 단계:

상기 제 2 Ti막을 제 2 저온 플라즈마 처리하여 제 2 TiO<sub>2</sub>막을 형성시키고, 이로 인하여  $Ta_2O_5$ 막/TiO<sub>2</sub> 유전체막이 형성되는 단계; 및

상기  $Ta_2O_5$ 막/ $TiO_2$  유전체막상에 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 청구항 2

제 1 항에 있어서,

상기  $Ta_2O_5$ 막은  $Ta(OC_2H_5)_5$ 나  $Ta(N(CH_3)_2)_5$ 와 같은 금속유기화합물 용액을 170 내지 190°C 온도 범위로 유지되고 있는 기화기에서 증발시켜 생성되는 상기  $Ta$ 성분 화학증기와 상기 반응 가스로 10 내지 1000sccm의  $O_2$  가스를 반응로에 공급하여 LP-CVD법이나 PE-CVD법에 의해 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 청구항 3

제 1 항에 있어서,

상기 어닐링 공정은 상기  $Ta_2O_5$ 막 내에 존재하는 탄소화합물 및 불순물을 제거하기 위해 300 내지 500°C의 온도에서  $N_2O$  플라즈마를 사용하여 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 청구항 4

제 1 항에 있어서,

상기 제 1 및 제 2 Ti막은 CVD법이나 스퍼터법으로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 청구항 5

제 1 항에 있어서,

상기 하부 전극 및 상기 상부 전극은 LP-CVD법, PE-CVD법, RF-마그네틱 스퍼터링법중 어느 하나의 방법을 이용하여 도프트 폴리실리콘, TiN, TiAlN, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub>, Pt와 같은 전도성 물질을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 청구항 6

제 1 항에 있어서,

상기 제 1 및 제 2 저온 플라즈마 처리는 반응로 내의 압력을 0.1 내지 10 Torr로 유지하고, 서브 히터의 온도를 300 내지 500°C로 유지하며, RF 전력을 10 내지 500W로 인가하고, 20 내지 1000sccm의  $O_2$  가스나  $N_2O$  가스를 반응로에 공급하여 10sec 내지 1min 동안 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

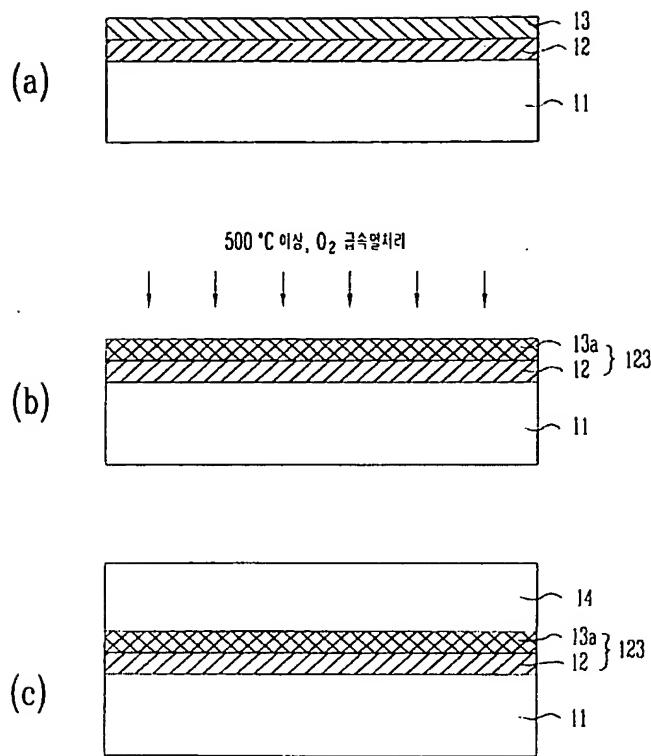
#### 청구항 7

제 1 항에 있어서,

상기 제 1  $TiO_2$ 막과 제 2  $TiO_2$ 막은 인-시튜공정으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 도면

도면1



## 도면2

